



Milano, 22 novembre 2006

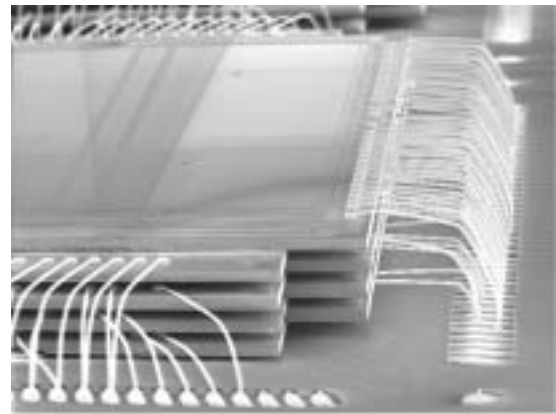


Proposta di Tesi in collaborazione con STMicroelectronics per studenti V.O. o della Laurea Specialistica

Titolo della tesi: Modellizzazione dei buffer per analisi di Signal Integrity mediante MpiLog.

Ambito della ricerca:

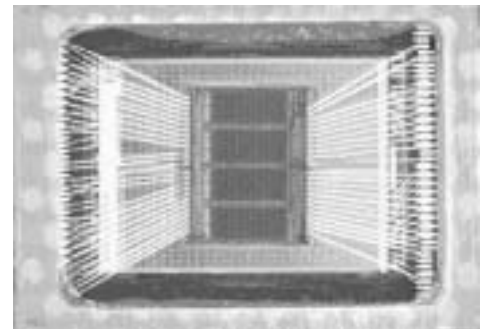
Negli ultimi anni, per poter realizzare sistemi portabili con potenzialità di calcolo sempre maggiori, si è di sfruttare anche la 3° dimensione. Una delle soluzioni adottate è costituita dai multichip (mostrati nelle foto), dispositivi realizzati inglobando all'interno del medesimo *package* diversi *chip*. I vari dispositivi sono tra loro interconnessi a formare un sistema completo all'interno di un unico package. La tesi qui proposta si inserisce nell'ambito della valutazione degli accoppiamenti elettromagnetici tra le connessioni presenti nel *package*, in sistemi caratterizzati da velocità di comunicazione prossime a 400Mword/s. Si vuole ottimizzare la descrizione dei buffer d'uscita al fine di valutare l'integrità del segnale nei vari nodi della rete elettrica tra ricevitore e trasmettitore.



Schema della tesi:

La tesi sarà articolata nei seguenti punti costitutivi:

- Analisi del modello MpiLog (un modello alternativo al modello a transistor) e valutazione degli interventi necessari per adeguarlo al modello a transistor del buffer d'uscita
- Ottimizzazione del modello MpiLog del buffer e delle alimentazioni del dispositivo.
- Valutazione delle migliorie apportate e delle prestazioni (computing time)



Durata della tesi: 10-12 mesi

Sede della tesi: STMicroelectronics, Agrate Brianza (Milano). Sono previsti viaggi periodici (con rimborso spese) al Politecnico di Torino (Torino).

Requisiti: iscritto a ingegneria elettronica, delle telecomunicazioni o elettrotecnica con al massimo 3 esami da sostenere.

Gli interessati sono pregati di rivolgersi all'Ing. P. Pulici (pulici@elet.polimi.it)